0350635

日　本　国　特　許　庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application: ２００２年１０月１７日

出願番号
Application Number: 特願２００２－３０３３７７

[ST.10/C]: [ＪＰ２００２－３０３３７７]

出願人
Applicant(s): 株式会社東芝

２００３年　５月１３日

特許庁長官
Commissioner,
Japan Patent Office 太田信一郎

出証番号　出証特２００３－３０３５０６９

【書類名】　特許願
【整理番号】　A000202119
【提出日】　平成14年10月17日
【あて先】　特許庁長官　殿
【国際特許分類】　H01L 21/304
H01L 21/302
【発明の名称】　半導体装置及びその製造方法
【請求項の数】　17
【発明者】
【住所又は居所】　神奈川県川崎市幸区小向東芝町１番地　株式会社東芝マイクロエレクトロニクスセンター内
【氏名】　黒澤　哲也
【特許出願人】
【識別番号】　000003078
【氏名又は名称】　株式会社　東芝
【代理人】
【識別番号】　100058479
【弁理士】
【氏名又は名称】　鈴江　武彦
【電話番号】　03-3502-3181
【選任した代理人】
【識別番号】　100084618
【弁理士】
【氏名又は名称】　村松　貞男
【選任した代理人】
【識別番号】　100068814
【弁理士】
【氏名又は名称】　坪井　淳

【選任した代理人】

【識別番号】　100092196

【弁理士】

【氏名又は名称】　橋本　良郎

【選任した代理人】

【識別番号】　100091351

【弁理士】

【氏名又は名称】　河野　哲

【選任した代理人】

【識別番号】　100088683

【弁理士】

【氏名又は名称】　中村　誠

【選任した代理人】

【識別番号】　100070437

【弁理士】

【氏名又は名称】　河井　将次

【手数料の表示】

【予納台帳番号】　011567

【納付金額】　21,000円

【提出物件の目録】

【物件名】　明細書　1

【物件名】　図面　1

【物件名】　要約書　1

【プルーフの要否】　要

【書類名】　明細書

【発明の名称】　半導体装置及びその製造方法

【特許請求の範囲】

【請求項１】　半導体基板の主表面上に半導体素子が形成され、前記半導体基板において、その側面と前記主表面に対応する位置にある裏面とが交わる部分の所定の位置に、曲率半径が０．５μｍ～５０μｍの曲面を備えることを特徴とする半導体装置。

【請求項２】　前記曲面は、前記半導体基板の側面と前記裏面とが交わる部分の全てに形成されていることを特徴とする請求項１に記載の半導体装置。

【請求項３】　前記半導体素子が形成された半導体基板の厚さは、２０～４０μｍであることを特徴とする請求項１または２に記載の半導体装置。

【請求項４】　前記半導体基板において、前記曲面は、前記半導体基板の主表面側に形成されるボンディングパッドより外側の領域に形成されることを特徴とする請求項１乃至３のいずれか１つの項に記載の半導体装置。

【請求項５】　前記半導体基板において、前記曲面は、前記半導体基板の主表面側に形成されるガードリングより外側の領域に形成されることを特徴とする請求項１乃至４のいずれか１つの項に記載の半導体装置。

【請求項６】　前記曲面は、変曲点を持たないことを特徴とする請求項１乃至５のいずれか１つの項に記載の半導体装置。

【請求項７】　前記半導体基板の裏面側は鏡面化されていることを特徴とする請求項１乃至６のいずれか１つの項に記載の半導体装置。

【請求項８】　素子が形成された半導体ウェーハのダイシングラインまたはチップ分割ラインに沿って、前記半導体ウェーハの主表面側から裏面に達しない深さの溝を形成する工程と、

前記半導体ウェーハの素子形成面に、表面保護テープを貼り付ける工程と、

前記半導体ウェーハの裏面研削を行うことにより、半導体ウェーハの薄厚化と個々の半導体基板への分割とを同時に行う工程と、

前記半導体基板の側面と裏面とが交わる部分の所定の位置に、曲率半径が０．５μｍ～５０μｍの曲面を形成する工程と

を具備することを特徴とする半導体装置の製造方法。

【請求項９】　前記曲面は、前記半導体基板の側面と前記裏面とが交わる部分の全てに形成されていることを特徴とする請求項８に記載の半導体装置の製造方法。

【請求項１０】　前記裏面側を鏡面加工する工程を更に具備することを特徴とする請求項８または９に記載の半導体装置の製造方法。

【請求項１１】　前記溝を形成する工程は、ダイヤモンドスクライバー、ダイヤモンドブレード、及びレーザースクライバーのいずれかで行うことを特徴とする請求項８乃至１０のいずれか１つの項に記載の半導体装置の製造方法。

【請求項１２】　前記溝を形成した後、前記溝を起点にして前記半導体ウェーハを劈開する工程を更に具備することを特徴とする請求項８乃至１１のいずれか１つの項に記載の半導体装置の製造方法。

【請求項１３】　前記表面保護テープを、ウェーハリングに装着する工程を更に具備することを特徴とする請求項８乃至１２のいずれか１つの項に記載の半導体装置の製造方法。

【請求項１４】　前記半導体基板の各々の間は、１０μｍ以上であることを特徴とする請求項８乃至１３のいずれか１つの項に記載の半導体装置の製造方法。

【請求項１５】　前記曲面を形成する工程は、機械的な加工、化学的な加工、もしくは化学的な加工と機械的な加工を組み合わせた加工のいずれか１つを含むことを特徴とする請求項８乃至１４のいずれか１つの項に記載の半導体装置の製造方法。

【請求項１６】　前記曲面を形成する工程は、ＣＭＰ、ウェットエッチング、ドライエッチングの少なくともいずれか１つを含むことを特徴とする請求項８乃至１５のいずれか１つの項に記載の半導体装置の製造方法。

【請求項１７】　前記半導体基板の各々の間は、カーフ幅に相当することを特徴とする請求項８乃至１６のいずれか１つの項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に関するもので、特にチップの抗折強度を向上できる半導体チップの形状とその製造方法に関する。

【０００２】

【従来の技術】

一般に、半導体チップ１１の側面１１－１～１１－４と裏面１１Ａとのエッジには、図８に示す如く、ダイシング時のチッピング（カケ）１２等により多数の凸凹が形成されている。図９（ａ），（ｂ），（ｃ）は、実際の半導体チップ１１のＳＥＭ（Scanning Electron Microscope）写真であり、（ａ）図及び（ｂ）図は半導体チップ１１を裏面１１Ａ側から見た１つの角部のＳＥＭ写真、（ｃ）図は半導体チップ１１を側面から見たＳＥＭ写真である。

【０００３】

このように、従来の半導体チップ１１のエッジには、ダイシング工程等においてチッピングによる多数のダメージが形成されている。

【０００４】

このため、図１０（ａ）に示すように、例えばリードフレームやＴＡＢテープへのマウント工程におけるピックアップ時の圧力、あるいはパッケージ材料と半導体チップ１１との熱膨張特性の違いによる圧力Ｆが素子形成面１１Ｂ側に加わると、図１０（ｂ）に示すように、チッピング１２への応力集中等によって、このチッピング１２を起点として半導体チップ１１が割れ易い。

【０００５】

上記半導体チップ１１の裏面１１Ａのエッジに発生するチッピングを低減するために、先ダイシング（ＤＢＧとも呼ぶ、Dicing Before Grindingの略）法と呼ばれる技術が提案されている（例えば特許文献１参照）。この技術を用いることによって、図１１に示すように、半導体チップ１１の側面１１－１～１１－４と裏面１１Ａとのエッジに発生するチッピング１２を大幅に抑制できる。図１２（ａ），（ｂ），（ｃ）は、先ダイシング法を用いて形成した実際の半導体チップ１１のＳＥＭ写真であり、（ａ）図及び（ｂ）図は半導体チップ１１を裏面１１

Ａ側から見た１つの角部のＳＥＭ写真、（ｃ）図は半導体チップ１１を側面から見たＳＥＭ写真である。

【０００６】

しかし、半導体チップ１１を薄型化（１００μｍ以下）した場合や細長い形状の半導体チップ１１においては、たとえチッピング１２が無い状態でも半導体チップ１１の裏面１１Ａのエッジそのものに応力が集中してしまい、半導体チップ１１の強度が著しく低くなる。

【０００７】

このため、半導体チップ１１をパッケージングするまでの組み立て工程や信頼性試験等で半導体チップ１１が割れてしまい、不良品が発生する、という問題を抱えている。

【０００８】

【特許文献１】

特開昭６１－１１２３４５号公報

【０００９】

【発明が解決しようとする課題】

上記のように従来の半導体装置及びその製造方法は、半導体チップを薄型化した場合や細長い形状の半導体チップにおいて、組み立て工程や信頼性試験等で半導体チップが割れてしまう、という問題があった。

【００１０】

本発明は上記のような事情に鑑みてなされたもので、その目的とするところは、抗折強度を向上できる半導体装置及びその製造方法を提供することにある。

【００１１】

【課題を解決するための手段】

本発明の半導体装置は、半導体基板の主表面上に半導体素子が形成され、前記半導体基板において、その側面と前記主表面に対応する位置にある裏面とが交わる部分の所定の位置に、曲率半径が０．５μｍ～５０μｍの曲面を備えることを特徴としている。

【００１２】

上記のような構成によれば、半導体基板の裏面のエッジに応力が集中するのを抑制でき、抗折強度（曲げ強度）を高くできる。

【００１３】

また、本発明の半導体装置の製造方法は、素子が形成された半導体ウェーハのダイシングラインまたはチップ分割ラインに沿って、前記半導体ウェーハの主表面側から裏面に達しない深さの溝を形成する工程と、前記半導体ウェーハの素子形成面に、表面保護テープを貼り付ける工程と、前記半導体ウェーハの裏面研削を行うことにより、半導体ウェーハの薄厚化と個々の半導体基板への分割とを同時に行う工程と、前記半導体基板の側面と裏面とが交わる部分の所定の位置に、曲率半径が０．５μｍ～５０μｍの曲面を形成する工程とを具備することを特徴としている。

【００１４】

上記のような方法によれば、半導体基板の裏面のエッジに形成されたダメージ層を除去するのでチッピング等に応力が集中するのを抑制でき、且つ半導体基板の裏面のエッジに応力が集中するのを抑制できるので、抗折強度を高くできる。

【００１５】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

図１及び図２（ａ），（ｂ）はそれぞれ、本発明の実施の形態に係る半導体装置について説明するためのもので、図１は半導体チップ（半導体基板）２１を素子形成面２１Ｂの裏面２１Ａ側から見た斜視図、図２（ａ）は半導体チップ２１を裏面２１Ａ側から見た１つの角部のＳＥＭ写真、（ｂ）図は半導体チップ２１を側面から拡大して見たＳＥＭ写真である。

【００１６】

尚、半導体チップ２１は、基板に相当する個片化されたシリコンウェーハの主表面上に、半導体素子が形成された状態で構成されている。

【００１７】

本実施の形態では、図１に示す如く、半導体チップ２１の側面２１－１～２１－４と裏面２１Ａとが交わる全ての部分（エッジ）に、曲率半径（Ｒ）が０．５

μｍ～５０μｍの範囲の曲面２２－１～２２－４を形成している。この曲面２２－１～２２－４は、半導体チップ２１の主表面２１Ｂ側に形成されている素子や配線に影響を与えないように形成されている。例えば、半導体チップ２１の主表面２１Ｂに形成されるボンディングパッドより外側の領域に形成する。これによって、ボンディング時に印加される圧力によって半導体チップ２１にクラックが発生するのを抑制できる。あるいはガードリングが形成されている半導体チップ２１の場合には、ガードリングより外側の領域に形成することにより、素子の電気的特性に影響を与えるのを防止できる。

【００１８】

実験によると、上記曲率半径（Ｒ）は、０．５μｍ程度から抗折強度を向上する効果が現れる。これは、図３に示すように、ダイシングによる切削やＢＳＧによる研削によって半導体チップ２１に入る傷の深さ（破砕層）ΔＤ１，ΔＤ２は０．５μｍ程度であり、エッジの破砕層を除去することによって抗折強度が向上するものと推察される。特に、上記半導体チップ２１の側面２１－１～２１－４と裏面２１Ａとが交わる部分とその角部２３に形成される破砕層（ダメージ）の抗折強度に対する影響が大きい。そこで、上記側面２１－１～２１－４と裏面２１Ａとが交わる部分とその角部２３を、少なくとも０．５μｍの曲率半径を有する形状に加工することにより、ダメージの影響を抑制できる。

【００１９】

また、上記曲面２２－１～２２－４によって、例えばリードフレームやＴＡＢテープへのマウント工程におけるピックアップ時、あるいは封止後にパッケージ材料と半導体チップ２１との熱膨張特性の違いによる応力が半導体チップ２１のエッジに集中するのを抑制できるので、この点からも抗折強度（曲げ強度）を高くできる。

【００２０】

上記曲面２２－１～２２－４の曲率は、半導体チップ２１の厚さが２０～４０μｍの時に２０μｍ程度が好適であり、シリコン自体の強度に近い１ＧＰａの抗折強度が得られることを実験により確認した。半導体チップ２１の厚さにもよるが、曲率半径が５０μｍを超えると、ワイヤボンディング等において、半導体チ

ップ２１の主表面２１Ｂ側に形成されたボンディングパッド２５へ圧力が印加されたときに、クラックが発生する可能性がある。よって、このような半導体チップ２１の強度の低下を抑制するためには、曲率半径は５０μｍを超えないことが好ましい。

【００２１】

なお、この曲面２２－１～２２－４には、応力の集中をより抑制するために、変曲点がないことが好ましい。

【００２２】

図４は、本発明と従来（裏面エッジにチッピングがある場合とない場合）の形状の半導体チップにおける抗折強度と不良発生率（累積）との関係を示す特性図である。図示する如く、裏面のエッジにチッピングがない場合は、チッピングがある場合に比べて抗折強度は高くなるが、本発明の場合には更に抗折強度を高くできる。

【００２３】

図５は、曲率半径（Ｒ）の相違に対する半導体チップの抗折強度と不良発生率（累積）との関係を示す特性図である。曲率半径が小さい場合よりも中位の場合の方が抗折強度は高くなる。

【００２４】

なお、上記実施の形態では、半導体チップ２１の側面２１－１～２１－４と裏面２１Ａとが交わる全ての部分に曲面２２－１～２２－４を形成したが、更に側面２１－１と２１－２、２１－２と２１－３、２１－３と２１－４、及び２１－４と２１－１が交わる部分にもそれぞれ曲面を形成しても良い。

【００２５】

次に、上記構成の半導体チップ２１の製造方法について、図６の工程図により説明する。

【００２６】

まず、周知の製造工程により、半導体ウェーハの主表面に種々の素子を形成する（ＳＴＥＰ１）。

【００２７】

次に、上記素子形成が終了した半導体ウェーハの主表面をダイシングし、ダイシングラインやチップ分割ラインに沿って、前記ウェーハの主表面側から裏面に達しない深さの溝、いわゆるハーフカット溝を形成する（ＳＴＥＰ２）。このハーフカット溝の形成には、例えばダイヤモンドスクライバー、ダイヤモンドブレード、及びレーザースクライバー等を用いる。切り込みの深さは、チップの最終仕上げ厚さよりも、およそ１０～３０μｍ（少なくとも５μｍ）だけ深くする。どれだけ多めにするかは、ダイサーとグラインダーの精度により決まる。

【００２８】

その後、上記ハーフカット・ダイシング済みの半導体ウェーハの素子形成面に表面保護テープを貼り付け、ウェーハリングに装着する（ＳＴＥＰ３）。この表面保護テープは、ウェーハの裏面を削り取り、薄くする過程で素子にダメージを与えないようにするものである。

【００２９】

次に、上記ウェーハの裏面研削（ＳＴＥＰ４）を行う。裏面研削工程では、砥石のついたホイールを４０００～７０００ｒｐｍの高速で回転させながらウェーハの裏面を所定の厚さに削って行く。上記砥石は、人工ダイヤモンドをフェノール樹脂で固めて成形したものである。この裏面研削工程は、２軸で行うことが多い。また、予め１軸で３２０～６００番の砥石で荒削りした後、２軸で１５００～２０００番の砥石で仕上げる方法もある。さらには、３軸で研削する方法でも良い。そして、研削が溝に達すると、半導体ウェーハは個々の半導体チップに個片化される。半導体ウェーハが個片化されてからも裏面研削を続けて所定の厚さにすることにより、半導体チップの側面と裏面とが交わる位置に形成されたチッピングを除去することができる。

【００３０】

引き続き、ウェットエッチング、プラズマエッチング、ポリッシング、バフ研磨、あるいはＣＭＰ（Chemical Mechanical Polishing）等により半導体チップの裏面に鏡面加工を施す。これによって、裏面研削の条痕を除去できるので、より抗折強度を高めることができる。

【００３１】

上記裏面研削によって半導体ウェーハを個片化した後、図７（ａ），（ｂ）に矢印で示すように、表面保護テープ２４を伸張（エキスパンド）させて半導体チップ２１－１，２１－２間を広げ、カーフ幅ΔＤ３を３０μｍ程度にする。勿論、表面保護テープ２４を伸張させるのではなく、ハーフカット溝を形成する際に、切断幅（溝の幅）を広くしても良い。いずれの場合でも、カーフ幅ΔＤ３は、１０μｍ以上が好ましい。

【００３２】

この状態で、機械的な加工、化学的な加工、もしくは化学的な加工と機械的な加工を組み合わせた加工のいずれか、例えばＣＭＰ、ウェットエッチング、ドライエッチング等を行って曲面２２－１～２２－４を形成する。上記のようにカーフ幅ΔＤ３を広げることにより、ＣＭＰの時に回り込んだ研削ができ、半導体チップの側面と裏面とが交わる部分の全てに曲面を形成できる。また、ウェットエッチングで曲面を形成する際には、エッチング液が回り込み易くなる。これによって、曲率半径が０．５μｍ～５０μｍの曲面２２－１～２２－４を形成できる。この曲率半径は、上記カーフ幅ΔＤ３によって制御でき、カーフ幅ΔＤ３を広げると曲率半径が大きくなる。

【００３３】

上記曲面２２－１～２２－４は、例えば、半導体チップ２１－１，２１－２の主表面に形成されるボンディングパッド２５より外側の領域に形成する。これによって、後のボンディング工程で印加される圧力によって半導体チップ２１－１，２１－２にクラックが発生するのを抑制できる。あるいはガードリング２６が形成されている半導体チップ２１－１，２１－２の場合には、ガードリング２６より外側の領域に形成することにより、曲面２２－１～２２－４が半導体チップ２１－１，２１－２の主表面側に形成されている素子や配線に影響を与えることはない。

【００３４】

以降は、周知の半導体装置の製造方法と同様であり、半導体チップのピックアップ工程、リードフレームやＴＡＢテープへのマウント工程、パッケージへの封止工程等の実装工程を経て半導体装置が完成される（ＳＴＥＰ７）。

【００３５】

このような製造方法によれば、先ダイシングをした後にＣＭＰを行うので、より簡単なプロセス（少ない製造工程）で、裏面エッジに所期の曲率半径の曲面を有する半導体チップを形成できる。

【００３６】

なお、本発明は上記実施の形態に限定されるものではなく、種々の変形が可能である。

【００３７】

［変形例１］

上記実施の形態では、先ダイシング技術を用いて半導体ウェーハを個々の半導体チップに分離する場合を例にとって説明したが、フルカットダイシングで分割する場合にも適用できるのは勿論である。

【００３８】

［変形例２］

表面保護テープを貼り付けた後、裏面研削の前に、劈開によって半導体ウェーハを分離し、その後裏面研削を行うようにしても良い。例えばウェーハの裏面側にジグを押当て、上記ウェーハ周辺部に形成した溝を起点として、ウェーハを結晶方位に沿って劈開する。あるいはウェーハの裏面からチップ分割ラインに沿って荷重を加えることにより、上記ウェーハ周辺部に形成した溝を起点として、ウェーハを結晶方位に沿って劈開する。そして、上記ジグまたはウェーハを順次移動させながら、溝を起点としてウェーハを結晶方位に沿って劈開する。

【００３９】

［変形例３］

上記実施の形態では、半導体ウェーハが個々の半導体チップに分離された後でエッチングして曲面を形成したが、裏面研削の前にエッチングして溝の開口部を広げることにより曲面を形成しても良い。その後、裏面研削を行って個々の半導体チップに分離すれば、上記実施の形態と同様に、半導体チップの側面と裏面とが交わる部分の全てに曲面を形成できる。

【００４０】

［変形例４］

上記実施の形態では、曲面の形成をエッチングで行う場合を例にとって説明したが、機械的な加工もしくは化学的な加工（ウェットエッチング／ドライエッチング（プラズマ／レーザー等））もしくは、化学的並びに機械的な加工性を持ったＣＭＰで行う。また化学的な加工において、裏面のエッジを丸くするためにエッジ以外の部分にマスクを形成し、化学的エッチングを施しても構わない。

【００４１】

［変形例５］

半導体チップの裏面を鏡面加工する場合を例にとって説明したが、必ずしも必須の工程ではなく、半導体チップの側面及び裏面に条痕等の微小な凹凸（機械的な加工による凹凸）が残存している状態でも抗折強度を高める効果は得られる。

【００４２】

［変形例６］

上記実施の形態では、表面保護テープを、ウェーハリングに装着する場合を例にとって説明したが、ウェーハリングは必ずしも用いなくても良い。

【００４３】

尚、本実施の形態では、前述の如く、半導体チップにおいて、その側面と裏面とが交わる全ての部分に、前述の曲率半径を有する曲面を形成している。しかしながら、半導体チップの形状等に応じては、全ての部分にこのような曲面を形成する必要は無い。例えば、半導体チップの形状が長方形である場合、長辺の２辺だけに形成する等、必要な部分にだけ、前述の曲率を有する曲面を形成しても同様の効果を得ることができる。

【００４４】

以上実施の形態とその変形例を用いて本発明の説明を行ったが、本発明は上記実施の形態とその変形例に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記実施の形態及びその変形例には種々の段階の発明が含まれており、各工程を実施する順序等を含め、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば実施の形態に示される全構成要件からいくつかの構成要件が削除され

ても、発明が解決しようとする課題の欄で述べた課題が解決でき、発明の効果の欄で述べられている効果が得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【００４５】

【発明の効果】

以上説明したように、本発明によれば、抗折強度を向上できる半導体装置及びその製造方法が得られる。

【図面の簡単な説明】

【図１】

本発明の実施の形態に係る半導体装置について説明するためのもので、半導体チップを素子形成面の裏面側から見た斜視図。

【図２】

本発明の実施の形態に係る半導体装置について説明するためのもので、（ａ）図は半導体チップを裏面側から見た１つの角部のＳＥＭ写真、（ｂ）図は半導体チップを側面から拡大して見たＳＥＭ写真。

【図３】

本発明と従来（裏面エッジにチッピングがある場合とない場合）の形状の半導体チップにおける抗折強度と不良発生率（累積）との関係を示す特性図。

【図４】

曲率半径の相違に対する半導体チップの抗折強度と不良発生率（累積）との関係を示す特性図。

【図５】

曲率半径（Ｒ）の相違に対する半導体チップの抗折強度と不良発生率（累積）との関係を示す特性図。

【図６】

本発明の実施の形態に係る半導体装置の製造方法について説明するための工程図。

【図７】

本発明の実施の形態に係る半導体装置の製造方法における一部の工程について

詳しく説明するためのもので、（ａ）図は表面保護テープを透視して示す平面図、（ｂ）図は（ａ）図の７Ｂ－７Ｂ線に沿った断面図。

【図８】

従来の半導体装置について説明するためのもので、半導体チップを裏面側から見た斜視図。

【図９】

従来の半導体装置について説明するためのもので、（ａ）図及び（ｂ）図は半導体チップを裏面側から見た１つの角部のＳＥＭ写真、（ｃ）図は半導体チップを側面から見たＳＥＭ写真。

【図１０】

従来の半導体装置について説明するためのもので、（ａ）図は半導体チップに加わる応力について説明するための図、（ｂ）図はクラックの発生について説明するための図。

【図１１】

従来の改良された半導体装置について説明するためのもので、半導体チップを裏面側から見た斜視図。

【図１２】

従来の改良された半導体装置について説明するためのもので、（ａ）図及び（ｂ）図は半導体チップを裏面側から見た１つの角部のＳＥＭ写真、（ｃ）図は半導体チップを側面から見たＳＥＭ写真。

【符号の説明】

２１…半導体チップ（半導体基板）

２１－１～２１－４…半導体チップの側面

２１Ａ…半導体チップの裏面

２１Ｂ…半導体チップの主表面

２２－１～２２－４…曲面

２３…角部

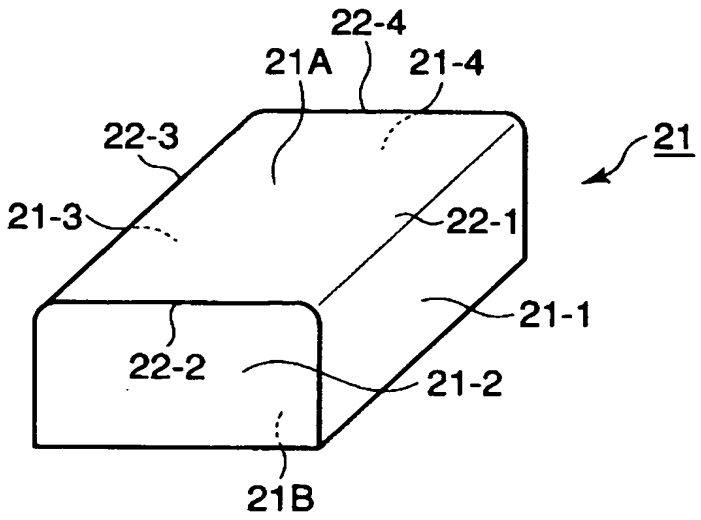
２４…表面保護テープ

２５…ボンディングパッド

２６…ガードリング

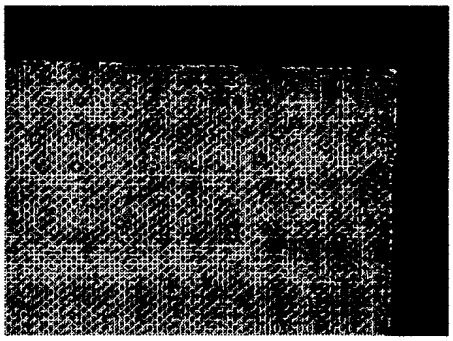
【書類名】　　図面

【図１】

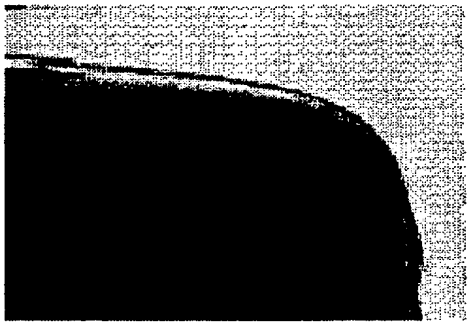


【図２】

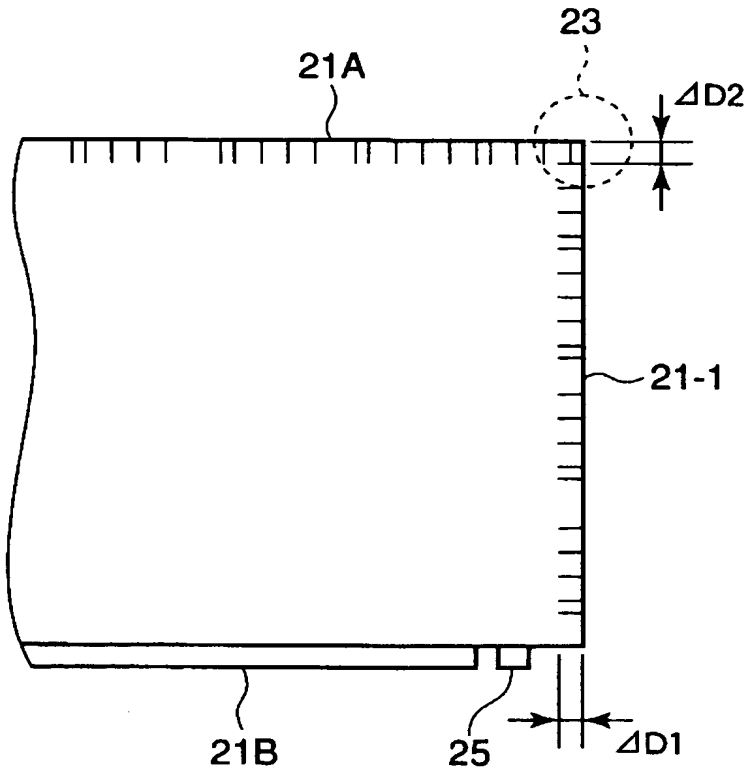
(a)



(b)

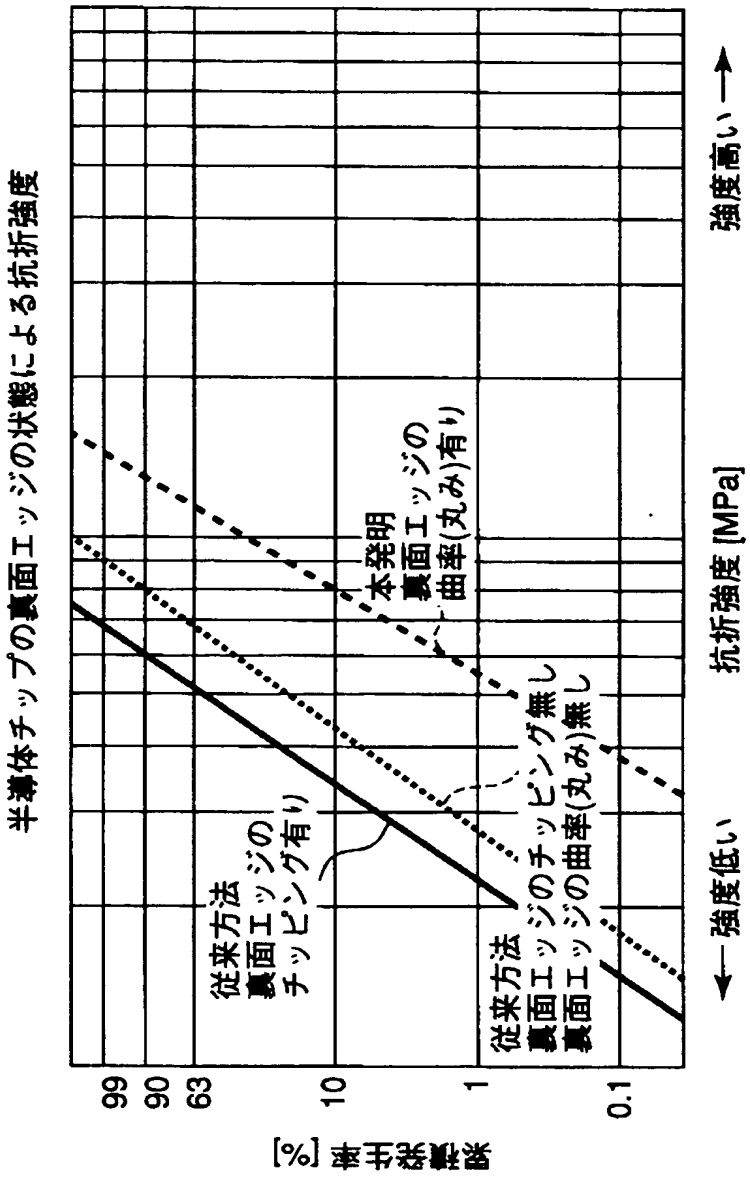


【図３】

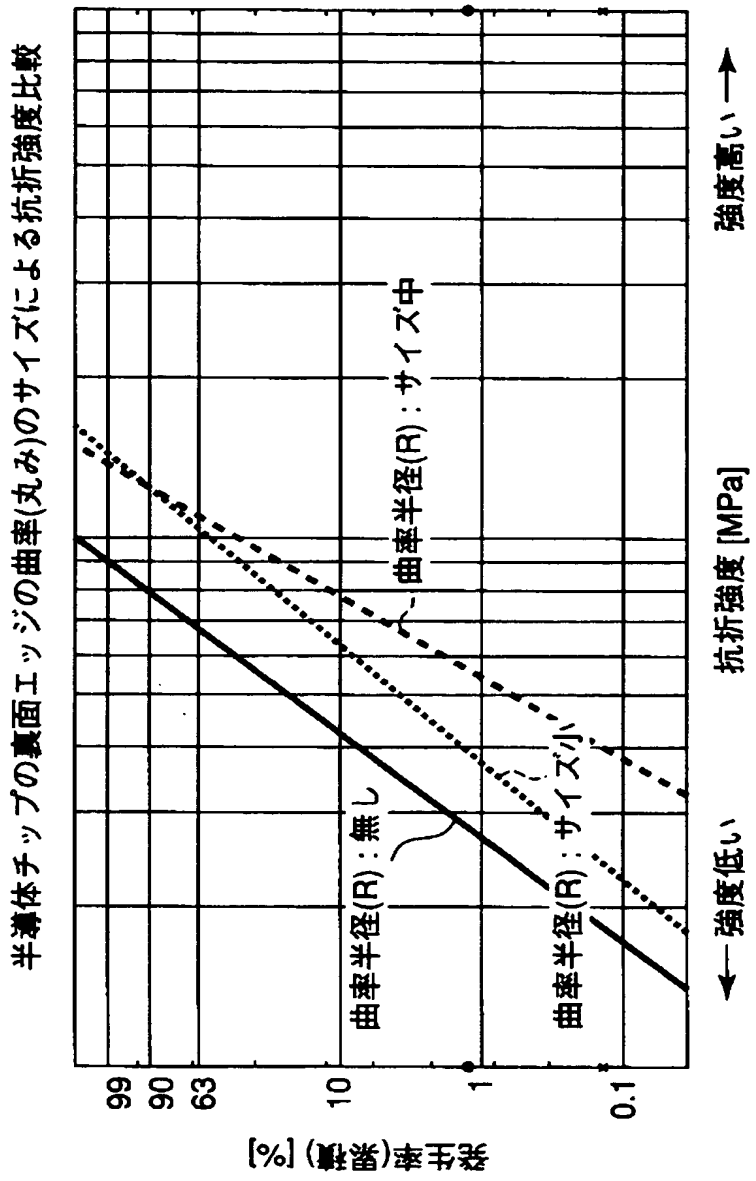


出証特２００３－３０３５０６９

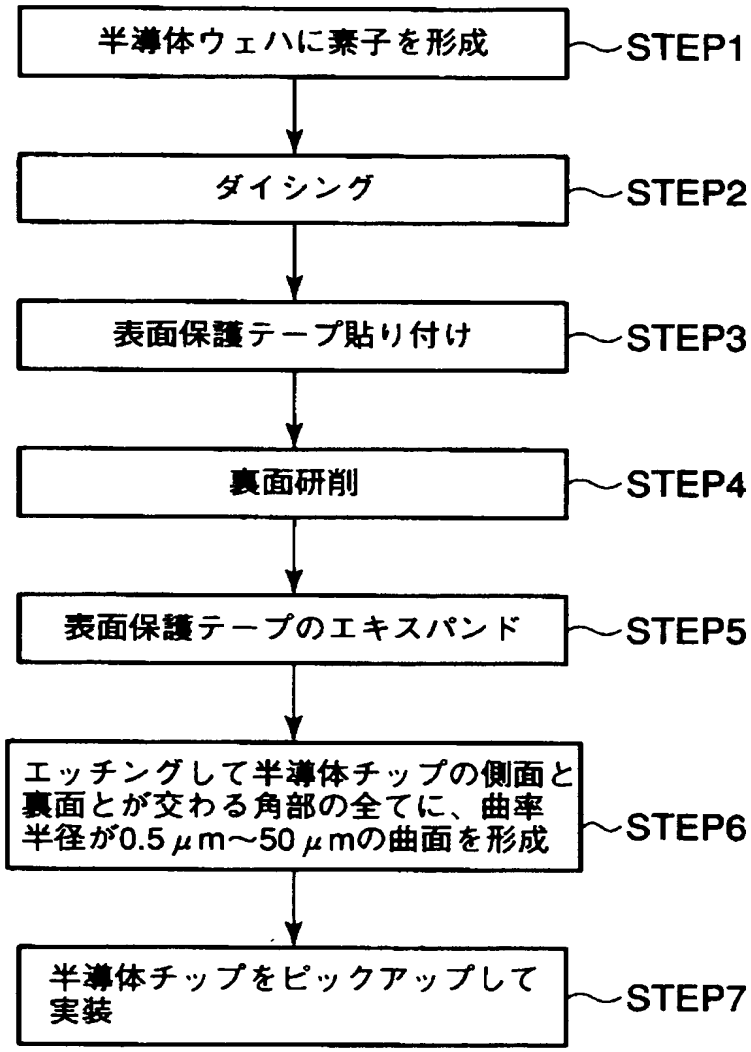
【図４】


半導体チップの裏面エッジの状態による抗折強度
累積発生率 [%]
99
90
63
10
1
0.1
従来方法
裏面エッジの
チッピング有り
本発明
裏面エッジの
曲率(丸み)有り
従来方法
裏面エッジのチッピング無し
裏面エッジの曲率(丸み)無し
← 強度低い
抗折強度 [MPa]
強度高い →

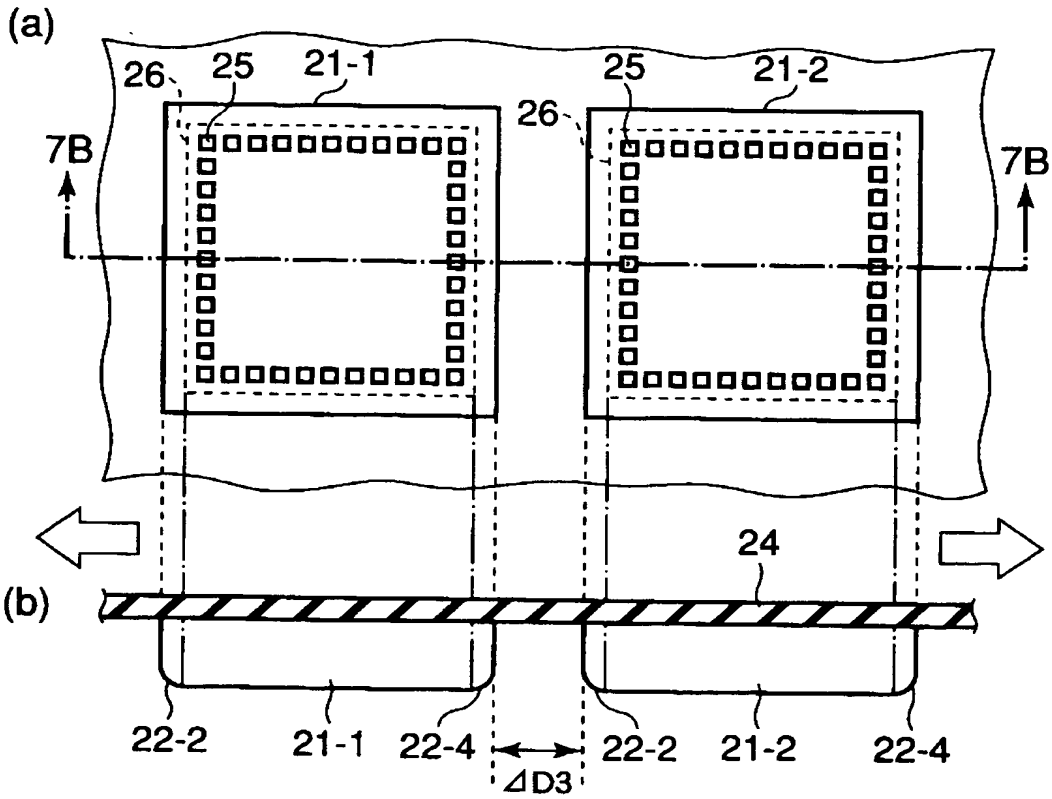
【図５】


半導体チップの裏面エッジの曲率(丸み)のサイズによる抗折強度比較
発生率(累積) [%]
99
90
63
10
1
0.1
曲率半径(R)：無し
曲率半径(R)：サイズ中
曲率半径(R)：サイズ小
←強度低い
抗折強度 [MPa]
強度高い→

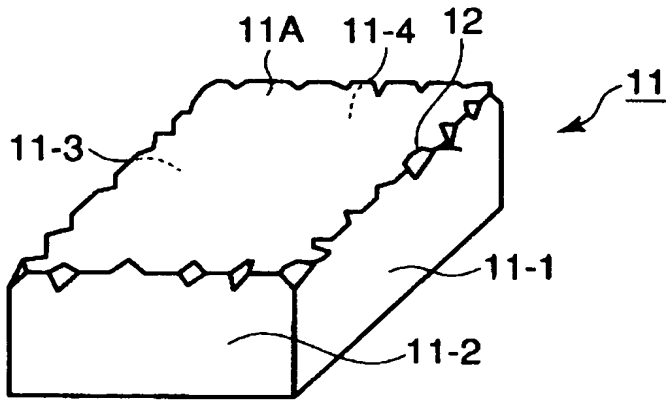
【図６】


半導体ウェハに素子を形成
STEP1
ダイシング
STEP2
表面保護テープ貼り付け
STEP3
裏面研削
STEP4
表面保護テープのエキスパンド
STEP5
エッチングして半導体チップの側面と裏面とが交わる角部の全てに、曲率半径が0.5μm～50μmの曲面を形成
STEP6
半導体チップをピックアップして実装
STEP7

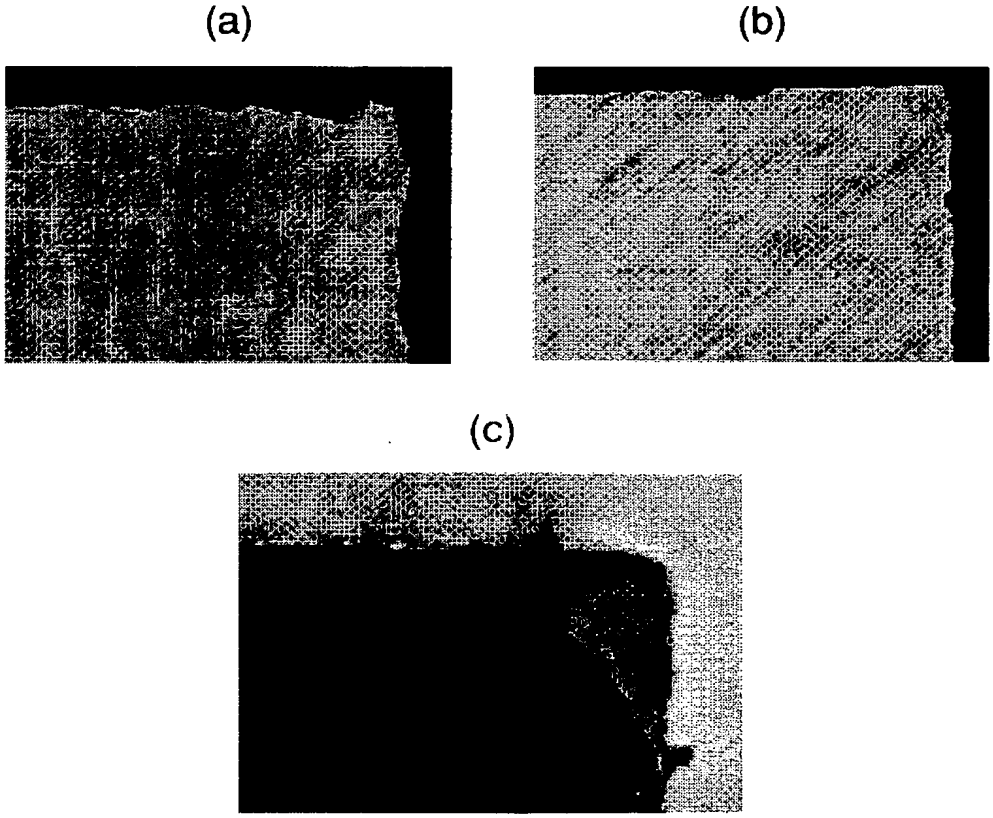
【図７】



【図８】

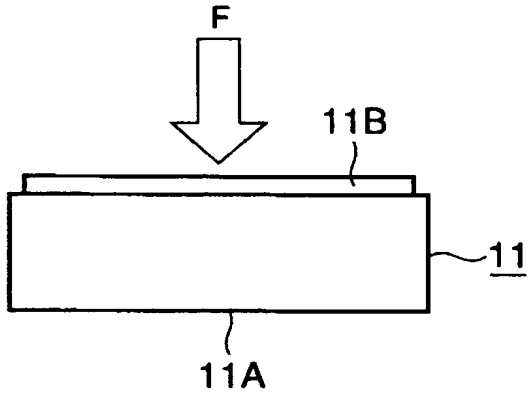


【図９】

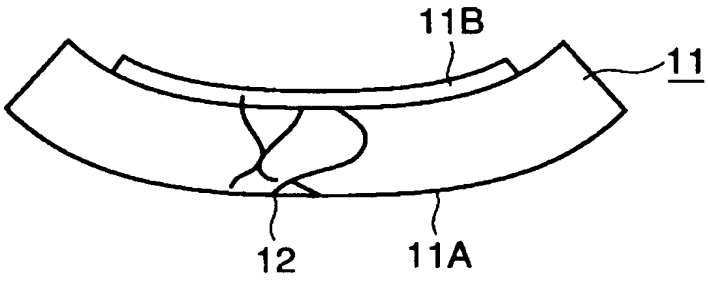


【図１０】

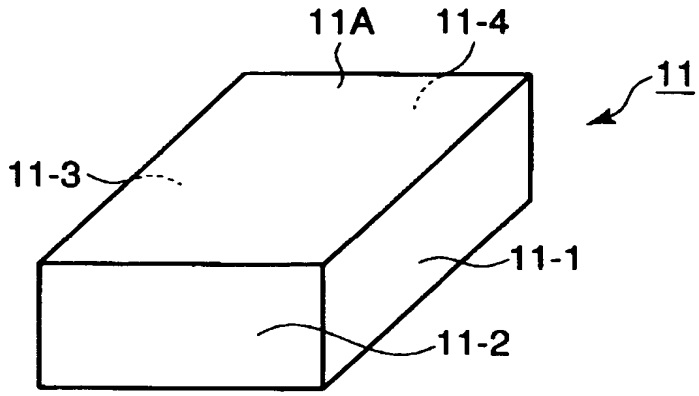
(a)



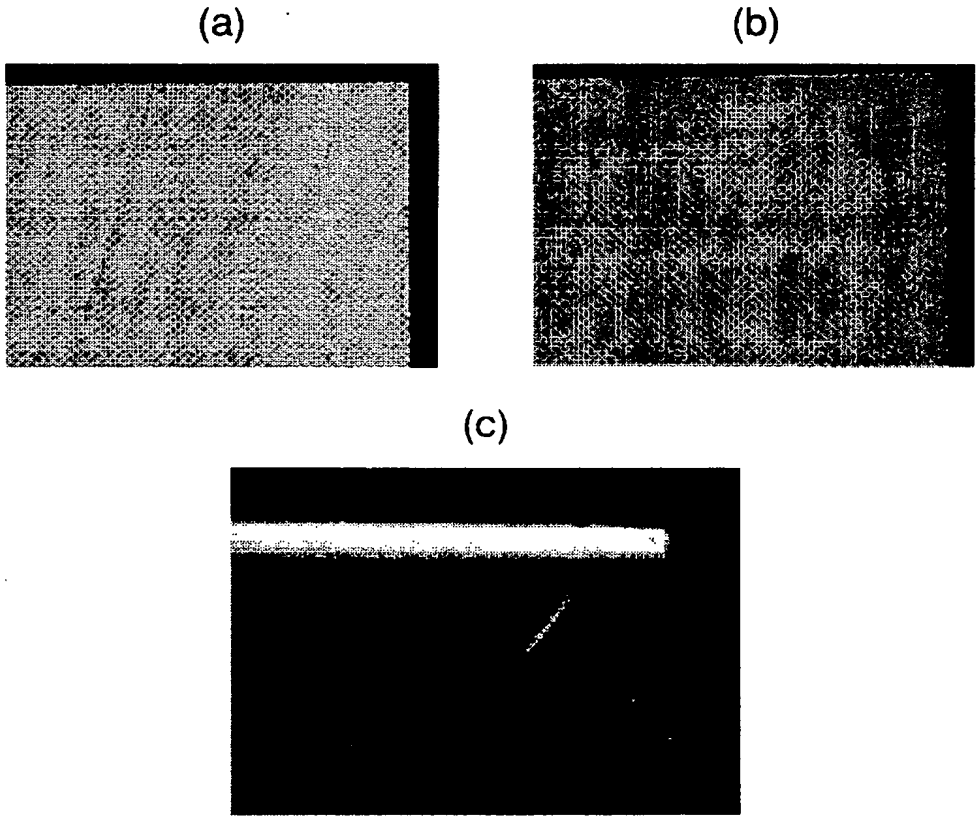
(b)



【図１１】



【図１２】



【書類名】　　要約書

【要約】

【課題】抗折強度を向上できる半導体装置及びその製造方法を提供することを目的としている。

【解決手段】半導体チップ２１の側面２１－１～２１－４と裏面２１Ａとが交わる部分の所定の位置に、曲率半径が０．５μｍ～５０μｍの曲面２２－１～２２－４を備えることを特徴としている。半導体チップの裏面側のエッジを曲面にしたので、クラックの起点となるチッピングを除去するとともに、応力が集中するのを抑制でき、抗折強度（曲げ強度）を向上できる。

【選択図】　　図１

出　願　人　履　歴　情　報

識別番号　　〔０００００３０７８〕

１．変更年月日　　２００１年　７月　２日
［変更理由］　住所変更
住　所　　東京都港区芝浦一丁目１番１号
氏　名　　株式会社東芝